

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-174547

⑬ Int. Cl.<sup>5</sup>  
H 02 K 29/08

識別記号 庁内整理番号  
7052-5H

⑭ 公開 平成2年(1990)7月5日

審査請求 未請求 請求項の数 3 (全10頁)

⑮ 発明の名称 DCブラシレスモータ

⑯ 特 願 昭63-326952

⑰ 出 願 昭63(1988)12月23日

⑱ 発 明 者	小 新 博 昭	大阪府門真市大字門真1048番地	松下電工株式会社内
⑱ 発 明 者	斎 藤 潤	大阪府門真市大字門真1048番地	松下電工株式会社内
⑱ 発 明 者	岡 本 真 一	大阪府門真市大字門真1048番地	松下電工株式会社内
⑱ 発 明 者	有 川 泰 史	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 出 願 人	松下電工株式会社	大阪府門真市大字門真1048番地	
⑳ 代 理 人	弁理士 石田 長七		

明 細 書

1. 発明の名称

DCブラシレスモータ

2. 特許請求の範囲

(1) N極とS極とを交互に周方向に着磁した永久磁石回転子と、巻線の電流方向が固定された複数組の磁極を有する固定子と、この固定子に装着され通過する永久磁石回転子の磁極の極性を検出するホール素子と、このホール素子の検出出力により制御され、固定子の各巻線に電流を供給する電流切換回路とを備えたDCブラシレスモータにおいて、外部負荷の変動を検知する負荷検知回路と、この負荷検知回路の出力に応じて騒音レベルが小さくなるように巻線電流のタイミングを変化させるタイミング制御回路とを備えたDCブラシレスモータ。

(2) 上記負荷検知回路としてホール素子の出力パルス列を入力として、このパルス列入力を電圧信号に変換する周波数・電圧変換器を用いた請求項1記載のDCブラシレスモータ。

(3) 上記負荷検知回路として、巻線に流れる電流を検出する抵抗と、この抵抗の両端電圧を直流電圧に変換するローパスフィルタとで構成した請求項1記載のDCブラシレスモータ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、位置検出にホール素子を用いたDCブラシレスモータに関するものである。

[従来の技術]

一般のDCブラシレスモータではホール素子の磁極検知出力と対応する巻線電流との間のタイミングのずれはほとんどなく、また負荷の大小にも殆ど影響されない構造となる。

[発明が解決しようとする課題]

ところが、このDCブラシレスモータでは、第11図に示すように次に励磁される固定子極と、この固定子極が励磁される瞬間の回転子の磁極との相対位置 $\theta$ によって、騒音レベルが変化し、その極小点を与える $\theta_{min}$ も外部負荷の大きさによって変化する。このため、 $\theta_{min}$ が固定されている

と、例えば無負荷時の $\theta_{min}$ に設定した際の負荷が大きくなると、負荷時の $\theta_{min}$ からずれた位置でDCブラシレスモータを駆動することになり、騒音レベルの低減の妨げになるという問題があった。

本発明は、上述の点に鑑みて為されたものであり、その目的とするところは、外部負荷が変動しても騒音の少ないDCブラシレスモータを提供することにある。

#### 〔課題を解決するための手段〕

本発明は、上記目的を達成するため、外部負荷の変動を検知する負荷検知回路と、この負荷検知回路の出力に応じて騒音レベルが小さくなるように巻線電流のタイミングを変化させるタイミング制御回路とを備えている。なお、負荷検知回路としては、ホール素子の出力パルス列を入力として、このパルス列入力を電圧信号に変換する周波数・電圧変換器を用いても良いし、または巻線に流れる電流を検出する抵抗と、この抵抗の両端電圧を直流電圧に変換するローパスフィルタとで構成し

ても良い。

#### 〔作用〕

本発明は、上述のように外部負荷の変動に応じて騒音レベルが小さくなるように巻線電流のタイミングを変化させることにより、外部負荷の変動に応じて騒音レベルが小さくなる状態でモータを駆動できるようにしたものである。

#### 〔実施例1〕

第1図に3相式DCブラシレスモータに本発明を適用した回路図を示す。ホール素子 $H_u, H_v, H_w$ は正弦波状に着磁された検知用磁石に対向して設けてあり、このホール素子 $H_u, H_v, H_w$ の入力は抵抗 $R_1, R_2$ を介して電源+Vに直列に接続してある。各ホール素子 $H_u, H_v, H_w$ の出力はオペアンプ $A_1 \sim A_3$ 及び抵抗 $R_3 \sim R_6$ により構成された各差動増幅器 $1_1 \sim 1_3$ で増幅されると共に、この増幅出力はオペアンプ $C_1 \sim C_3$ 及び抵抗 $R_{11} \sim R_{23}$ で構成されたヒステリシスコンパレータ $2_1 \sim 2_3$ で無負荷時の騒音レベルが最小となる回転数に応じた基準電圧と比較され、これらヒステリ

-3-

シスコンパレータ $2_1 \sim 2_3$ の出力でトランジスタ $Q_u, Q_v, Q_w$ をオン、オフ制御する。なお、抵抗 $R_{21} \sim R_{23}$ はトランジスタ $Q_u, Q_v, Q_w$ のバイアス抵抗である。これらトランジスタ $Q_u, Q_v, Q_w$ には固定子巻線 $L_u, L_v, L_w$ が直列に接続してあり、トランジスタ $Q_u, Q_v, Q_w$ のオン時に励磁電流を流す。ここで、差動増幅器 $1_3$ の出力は周波数・電圧変換器 $1_5$ に入力され、この周波数・電圧変換器 $1_5$ の出力で抵抗 $R_{11} \sim R_{23}$ の値を制御している。

上記周波数・電圧変換器 $1_5$ の回路図を第2図に示す。この周波数・電圧変換器 $1_5$ は、差動増幅器 $1_3$ の出力で開閉制御されるアナログスイッチ $SW_1$ を備え、このアナログスイッチ $SW_1$ の開閉に応じて定電流源 $I_1, I_2$ によりコンデンサ $X_1$ の充放電を定電流で行う充放電回路 $3$ と、この充放電回路 $3$ のコンデンサ $X_1$ の両端電圧からリセットパルス及びサンプリングパルスを作成するパルス発生器 $4$ と、このパルス発生器 $4$ のリセットパルスで開閉制御されるアナログスイッチ $SW_2$ を

備え、アナログスイッチ $SW_2$ の開閉に応じて定電流源 $I_3$ でコンデンサ $X_2$ を充放電する充放電回路 $5$ と、この充放電回路 $5$ のコンデンサ $X_2$ の充電電荷をサンプリングパルスで開閉制御されるアナログスイッチ $SW_3$ の開閉時にコンデンサ $X_3$ に保持するサンプルホールド回路 $6$ と、このサンプルホールド回路 $6$ の出力を3つの基準値と夫々比較するコンパレータ $7_1 \sim 7_3$ とで構成してある。なお、サンプリング回路 $6$ は入出力にバッファ $B_1, B_2$ を設けてあり、またコンパレータ $7_1 \sim 7_3$ はオペアンプ $C_4 \sim C_6$ 及び抵抗 $R_{31} \sim R_{33}$ で構成してある。上記ヒステリシスコンパレータ $2_1 \sim 2_3$ の抵抗 $R_{11} \sim R_{23}$ は次のように構成してある。なお、ここでは抵抗 $R_{21}$ を例としてあり、夫々コンパレータ $7_1 \sim 7_3$ の出力でオン、オフされるスイッチ $SW_4 \sim SW_6$ と、これらスイッチ $SW_4 \sim SW_6$ に夫々直列に接続された抵抗 $R_{201} \sim R_{203}$ と、これら抵抗 $R_{201} \sim R_{203}$ 及びスイッチ $SW_4 \sim SW_6$ の並列接続された直列回路と並列に接続された抵抗 $R_{204}$ とで構成してある。

-4-

-5-

-6-

第4図に本実施例に使用する3相式DCブラシレスモータの機構部の概略構成を示す。永久磁石回転子9はN極とS極とを交互に周方向に着磁した永久磁石8を内装すると共に、中心にシャフト10を貫挿して構成してある。固定子11は複数極を有する積層鉄心12にU、V、Wの各相に対応する3組の巻線13を巻装し、積層鉄心12の中央部に軸受14を挿入固定して構成してある。この固定子11の下部にホール素子Hu、Hv、Hwを配置してある。

上記DCブラシレスモータでは、軸受14にシャフト10を円滑に回転するように挿通し、この状態で永久磁石回転子9の周面と固定子11の外周面との間、及び永久磁石回転子9の内周面とホール素子Hu、Hv、Hwの磁束検知面との間に0.5mm程度のギャップを持つようにしてある。

次に、本実施例の動作を説明する。まず、電源+Vが投入されると、ホール素子Hu、Hv、Hwの機能が働き始める。この時、ホール素子Hu、Hv、Hwはその位置に対向した各永久磁石回転子9の

磁極の磁束密度に応じた信号を出力する。ホール素子Hu、Hv、Hwは、第5図に示すように機械角60度で互いに配置され、第6図(a)~(c)に示すように位相が $\pi/3$ ずつずれた検出出力が現れる。この出力を差動増幅器1、~1<sub>3</sub>によって増幅し、ヒステリシスコンパレータ2<sub>1</sub>~2<sub>3</sub>によってヒステリシス電圧(±E<sub>0</sub>)と比較し、第6図(d)~(f)に示す方形波を出力する。そして、各々のコンパレータ2<sub>1</sub>~2<sub>3</sub>の出力がHレベルの期間のみ隣の固定子極へ電流を流すように対応するトランジスタQu、Qv、Qwをオンする。このオン時に対応する巻線Lu、Lv、Lwに電流が流れ、各巻線Lu、Lv、Lwには第6図(g)~(i)に示すように回転トルクTu、Tv、Twが発生し、全体としてこれら回転トルクを合成した第6図(j)に示すトルクTsによってモータが回転する。

この際、差動増幅器1<sub>3</sub>の出力が周波数・電圧変換回路15に入力され、その出力電圧がヒステリシスコンパレータ2<sub>1</sub>~2<sub>3</sub>のヒステリシス電圧E<sub>0</sub>を制御して巻線電流の移動に変化を与える。

-7-

上記周波数・電圧変換回路15の詳細動作を第3図に従って説明する。アナログスイッチSW<sub>1</sub>は、第3図(b)に示すように、同図(a)に示す差動増幅器1<sub>3</sub>の出力のゼロクロス点でトリガされてオン、オフを繰り返し、定電流源I<sub>1</sub>、I<sub>2</sub>によってコンデンサX<sub>1</sub>の充放電を行い、第3図(c)に示す台形波を形成する。この台形波のv<sub>1</sub>、v<sub>2</sub>レベルをトリガとしてパルス発生回路4によりサンプリングパルスsp及びリセットパルスrpを発生する。リセットパルスrpは通常定電流源I<sub>3</sub>によって充電されているコンデンサX<sub>2</sub>の放電を行う指令をアナログスイッチSW<sub>2</sub>に与える。このコンデンサX<sub>2</sub>の両端電圧は、サンプリングパルスspの制御するアナログスイッチSW<sub>3</sub>のオン時にバッファB<sub>1</sub>を通してコンデンサX<sub>3</sub>の両端に印加され、このコンデンサX<sub>3</sub>に次のサンプリングパルスspが来るまで保持される。このときコンデンサX<sub>3</sub>に保持される電圧vx<sub>3</sub>が永久磁石回転子9の回転数に比例した電圧を示す。抵抗R<sub>30</sub>~R<sub>33</sub>により作られた各基準電圧Vr<sub>1</sub>~Vr<sub>3</sub>が夫々コンパレータ

-8-

7<sub>1</sub>~7<sub>3</sub>に与えられており、上記信号vx<sub>3</sub>と比較してスイッチSW<sub>4</sub>~SW<sub>6</sub>のいずれをオン、オフするかを設定し、抵抗R<sub>20</sub>及び抵抗R<sub>20</sub>~R<sub>20</sub>の組み合わせによりヒステリシスコンパレータ2<sub>1</sub>~2<sub>3</sub>のヒステリシス電圧E<sub>0</sub>が設定される。ここで、もし回転数が低下すれば、第3図(a)の破線で示すようにヒステリシス電圧E<sub>0</sub>は大きくなり、トランジスタQu、Qv、Qwのベース信号を第3図(i)に示すように位相をずらした形とする。これは外部負荷の変動に応じて固定子極とこの固定子極が励磁される瞬間の回転子磁極との相対位置θを変動させることになり、外部負荷が変動しても常に最小の騒音レベルに自動調節することができる。なお、第3図(k)は従来のヒステリシスコンパレータ2<sub>3</sub>の出力波形を示す。また、本実施例ではヒステリシス電圧E<sub>0</sub>の設定レベルは3段階であるが、基準電圧をさらに細かくしたり、コンパレータ7の数を増やしたりすることにより、多段のヒステリシス電圧E<sub>0</sub>を設定できることは言うまでもない。

-9-

-10-

## 〔実施例 2〕

本発明の他の実施例を第 7 図に示す。本実施例では、トランジスタ  $Q_u, Q_v, Q_w$  の各エミッタを共通接続し、グランドとの間に抵抗  $R_s$  を挿入しており、この抵抗  $R_s$  の両端に発生する電圧を抵抗  $R_F$  とコンデンサ  $X_F$  からなるローパスフィルタ 16 を通してヒステリシス電圧制御回路 17 に入力してある。そして、このヒステリシス電圧制御回路 17 の出力でヒステリシスコンパレータ 2<sub>1</sub> ~ 2<sub>3</sub> の夫々の抵抗  $R_{11} \sim R_{20}$  の値を制御し、ヒステリシスコンパレータ 2<sub>1</sub> ~ 2<sub>3</sub> のヒステリシス電圧  $E$  を変化されている。なお、上記説明以外の構成は第 1 図回路と同一のものである。

第 8 図に上記ヒステリシス電圧制御回路 17 の具体回路を示す。このヒステリシス電圧制御回路 17 は、第 1 の実施例の周波数・電圧変換器 15 のコンパレータ 7<sub>1</sub> ~ 7<sub>3</sub> と同一の構成であり、またヒステリシスコンパレータ 2<sub>1</sub> ~ 2<sub>3</sub> の抵抗  $R_{11} \sim R_{20}$  の構成も第 1 の実施例と同じである。

本実施例では、モータが回転した際に固定子巻

線  $L_u, L_v, L_w$  に電流が流れると、この電流により抵抗  $R_s$  の両端電圧が現れる。この電圧はローパスフィルタ 16 を介してヒステリシス電圧制御回路 17 に入力される。ここで、ローパスフィルタ 16 で整形した電圧  $v_f$  は、例えば第 9 図(a)に示すようになる。このローパスフィルタ 16 の出力電圧  $v_f$  は、コンパレータ 7<sub>1</sub> ~ 7<sub>3</sub> で抵抗  $R_{11} \sim R_{20}$  により作られた各基準電圧  $V_{r1} \sim V_{r3}$  と比較され、スイッチ  $SW_1 \sim SW_3$  のいずれをオン、オフするかが設定され、抵抗  $R_{11}$  及び抵抗  $R_{201} \sim R_{203}$  の組み合わせによりヒステリシスコンパレータ 2<sub>1</sub> ~ 2<sub>3</sub> のヒステリシス電圧  $E$  を設定する。ここで、もし回転数が低下すれば、第 9 図(e)に示すようにヒステリシス電圧  $E$  は大きくなり、トランジスタ  $Q_u, Q_v, Q_w$  のベース信号を第 9 図(g)に示すように位相をずらした形とする。これは外部負荷の変動に応じて固定子極とこの固定子極が励磁される瞬間の回転子磁極との相対位置  $\theta$  を変動させることになり、外部負荷が変動しても常に最小の騒音レベルに自動調節することができ

-11-

る。なお、第 9 図(f)は従来のヒステリシスコンパレータ 2<sub>3</sub> の出力波形を示す。また、本実施例でもヒステリシス電圧  $E$  の設定レベルは 3 段階であるが、基準電圧をさらに細かくしたり、またはコンパレータ 7 の数を増やしたりすることにより、多段のヒステリシス電圧  $E$  を設定できることは言うまでもない。

## 〔発明の効果〕

本発明は上述のように、外部負荷の変動を検知する負荷検知回路と、この負荷検知回路の出力に応じて騒音レベルが小さくなるように巻線電流のタイミングを変化させるタイミング制御回路とを備えているので、外部負荷の変動に応じて騒音レベルが小さくなる状態でモータを駆動でき、このため騒音が小さくなる利点がある。

## 4. 図面の簡単な説明

第 1 図は本発明の実施例の回路図、第 2 図は同上の周波数・電圧変換器の具体回路図、第 3 図は同上の動作説明図、第 4 図は DC ブラシレスモータの構造を示す一部を破断した分解斜視図、第 5

図は同上の夫々の部材の位置関係を示す説明図、第 6 図は DC ブラシレスモータの基本動作の説明図、第 7 図は本発明の他の実施例の回路図、第 8 図は同上のヒステリシス電圧制御回路の具体回路図、第 9 図は同上の動作説明図、第 10 図は従来の DC ブラシレスモータの要部構造を示す斜視図、第 11 図は同上の問題点の説明図である。

1<sub>1</sub> ~ 1<sub>3</sub> は差動増幅器、2<sub>1</sub> ~ 2<sub>3</sub> はヒステリシスコンパレータ、 $Q_u, Q_v, Q_w$  はトランジスタ、9 は永久磁石回転子、11 は固定子、15 は周波数・電圧変換器、16 はローパスフィルタ、 $H_u, H_v, H_w$  はホール素子、 $L_u, L_v, L_w$  は巻線、 $R_s$  は抵抗、である。

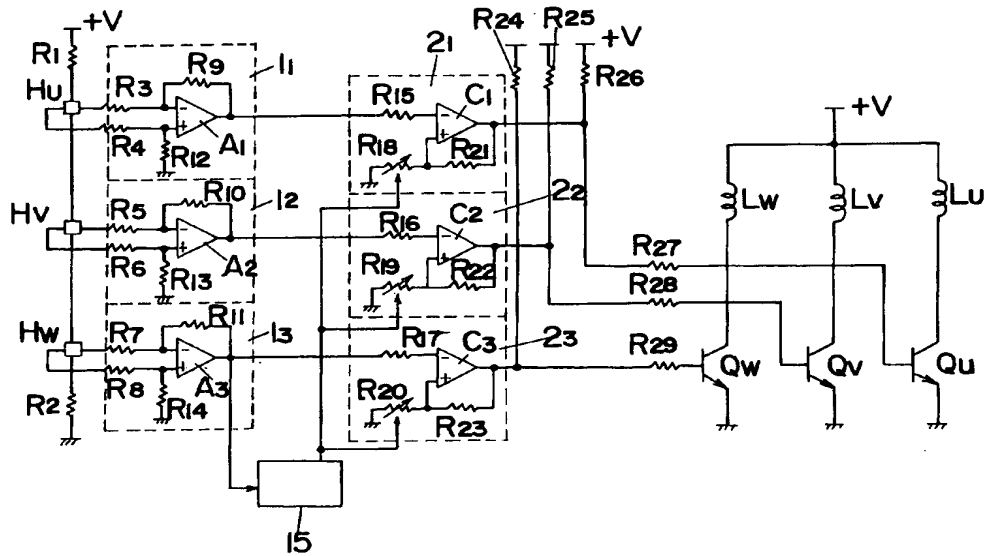
代理人 弁理士 石 田 長 七

-13-

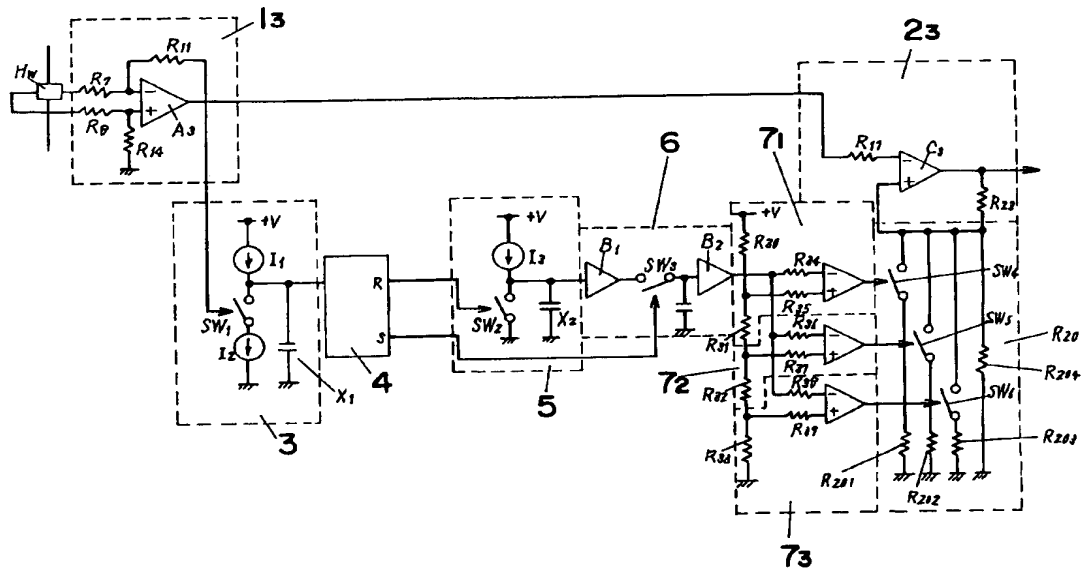
-14-

- 1, ~ 1, ... 差動増幅器  
 2, ~ 2, ... ヒステリシス  
 コンパレータ  
 Q<sub>u</sub>, Q<sub>v</sub>, Q<sub>w</sub> ... トランジスタ  
 15 ... 周波数・  
 電圧変換器  
 H<sub>u</sub>, H<sub>v</sub>, H<sub>w</sub> ... ホール素子  
 L<sub>u</sub>, L<sub>v</sub>, L<sub>w</sub> ... 巻線

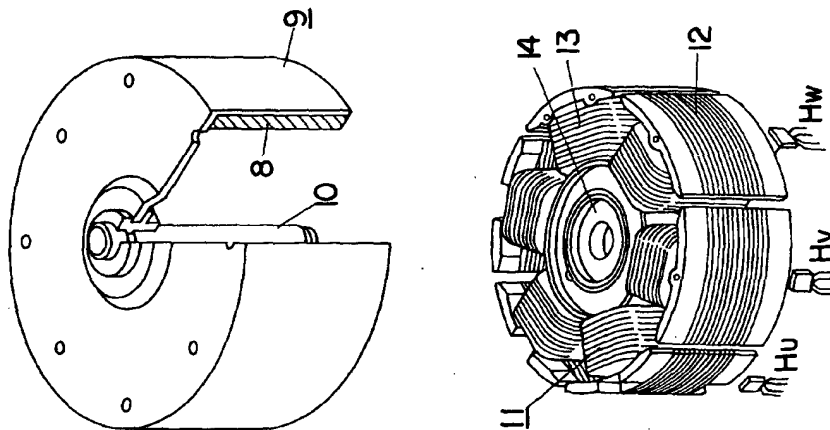
第 1 図



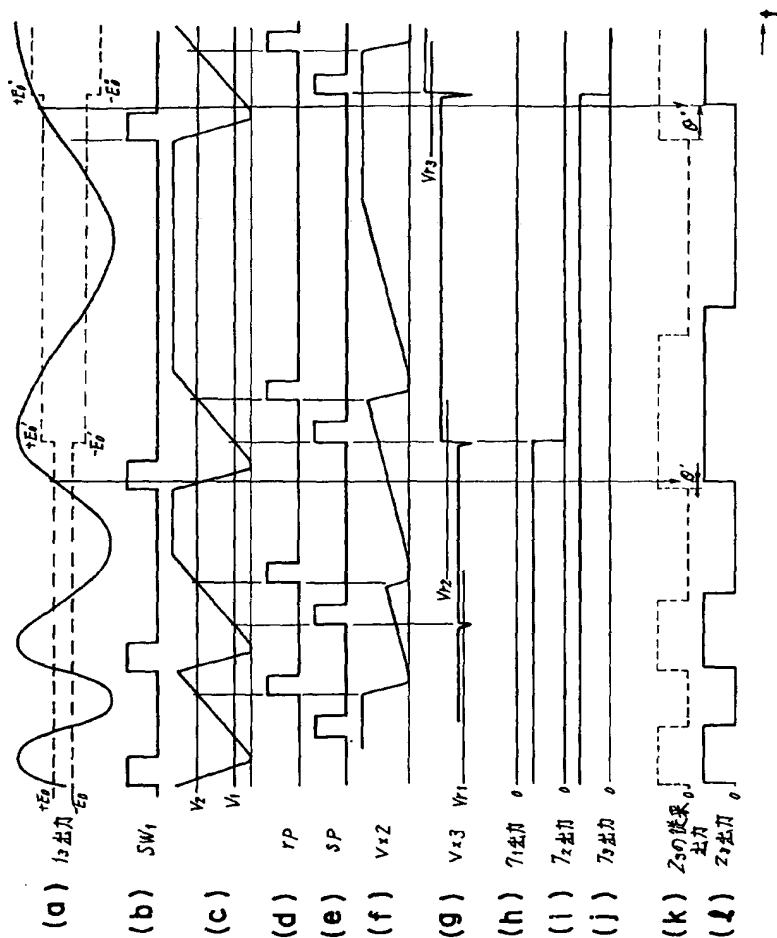
第 2 図



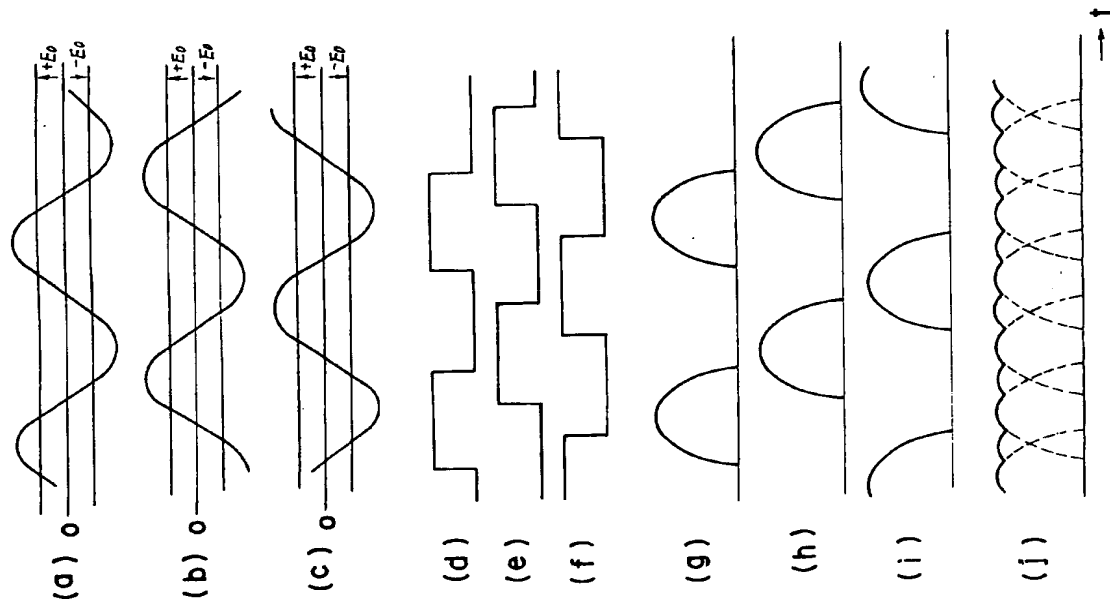
第4図



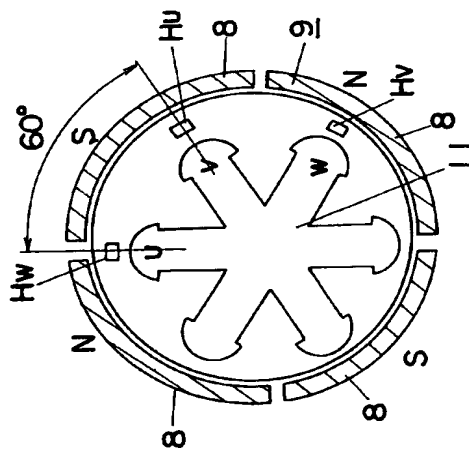
第3図



第 6 圖



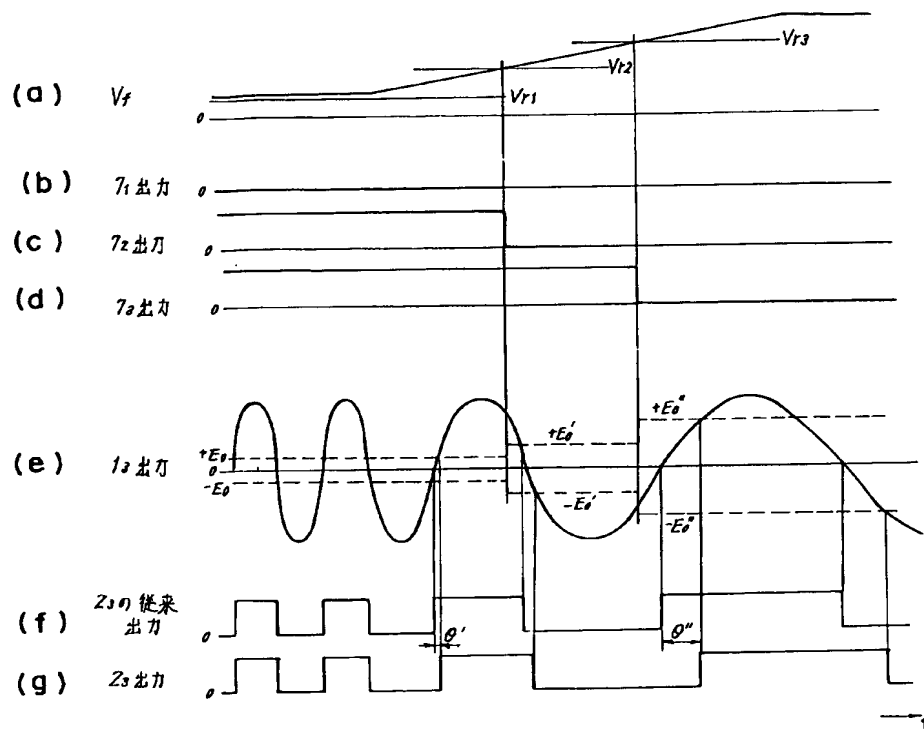
第 5 圖



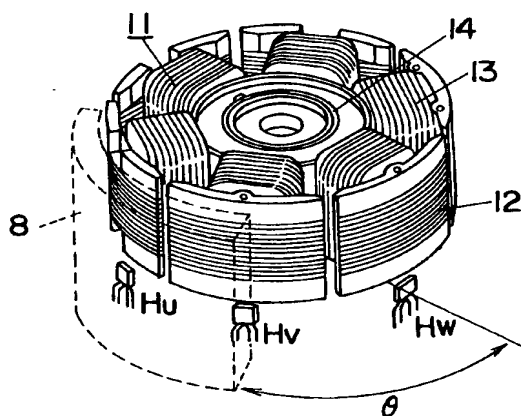




第 9 図



第 10 図



第11図

